

Spis treści

<i>Streszczenie</i>	7
<i>Summary</i>	8
<i>Wykaz ważniejszych skrótów, oznaczeń i symboli</i>	9
1. Wstęp	13
2. Architektury rekonfigurowalne	16
2.1. Arytmetyka.....	16
2.2. <i>FPGA</i> i rozwiązania alternatywne.....	17
2.3. Układy rekonfigurowalne <i>FPGA</i>	18
2.4. Koprojektowanie sprzętowo-programowe	19
2.5. Projektowanie układów <i>FPGA</i>	21
2.6. Środowisko projektowe <i>EDK</i>	23
2.7. Magistrala <i>Wishbone</i>	24
2.8. Magistrale dostępne w ramach środowiska <i>EDK</i>	24
2.9. Systemy wbudowane	25
2.10. Komputery dużej mocy obliczeniowej.....	28
3. Środowisko wspomagające projektowanie i uruchamianie układów rekonfigurowalnych	31
3.1. Wprowadzenie	32
3.2. Środowisko programowe <i>APSI</i>	34
3.3. Moduł sprzętowy.....	35
3.4. Symulacja heterogeniczna	36
3.5. Wewnętrzny analizator stanów logicznych.....	39
3.6. Podsumowanie.....	45
4. Autorski system wbudowany	46
4.1. Rozwiązanie bazujące tylko na układzie <i>FPGA</i>	46
4.2. Rozwiązanie bazujące na procesorze <i>ARM</i> i układzie <i>FPGA</i>	48
5. Parametryzacja implementacji sieci neuronowych	63
5.1. Wstęp	63
5.2. Architektura równoległa i szeregową	64
5.3. Zaproponowana architektura <i>PSAN</i>	68
5.4. Wyniki implementacji.....	76
5.5. Podsumowanie.....	79
6. Mnożenie o skróconej szerokości	81
6.1. Wstęp	81
6.2. Układ mnożący z obcięciem.....	83
6.3. Istniejące rozwiązania	85
6.4. Autorski układ mnożący <i>IVCTM</i>	89
6.5. Autorski układ mnożący <i>METM</i>	93
6.6. Wyniki implementacji.....	94
6.7. Bity ochronne i zaokrąglanie.....	96

6.8. Mnożenie w kodzie uzupełnień do dwóch	101
6.9. Autorski układ mnożący FTM	102
6.10. Podsumowanie.....	106
7. Nowa architektura akumulatora zmiennoprzecinkowego	108
7.1. Wstęp	108
7.2. Architektura zaproponowanego akumulatora	111
7.3. Efekt znoszenia	116
7.4. Kompatybilność ze standardem zmiennoprzecinkowym IEEE-754	121
7.5. Wynik implementacji.....	122
7.6. Równoległe sumowanie / akumulacja.....	125
7.7. Podsumowanie.....	126
8. Autorska architektura mnożenia macierzy rzadkich	128
8.1. Wstęp	128
8.2. Algorytm mnożenia macierzy rzadkich.....	129
8.3. Architektura równoległego mnożenia macierzy.....	132
8.4. Implementacja w układach FPGA	135
8.5. Podsumowanie.....	138
Podsumowanie.....	139
Literatura.....	143