

Spis treści

1. Wstęp.....	9
2. Ćwiczenia laboratoryjne	12
2.1. Środowisko projektowania Quartus II dla układów FPGA Altera	12
2.1.1. Cel ćwiczenia	12
2.1.2. Wprowadzenie.....	12
2.1.3. Przebieg ćwiczenia.....	13
2.1.3.1. Utworzenie projektu w Quartus II z edycją algorytmu w edytorze graficznym	13
2.1.3.2. Wstępne ustawienia parametrów: rodzaj układu	15
2.1.3.3. Kompilacja i ustawienia parametrów kompilacji, symulacji i fittera	15
2.1.3.4. Symulacja	16
2.1.3.5. Symulacja sygnału taktującego.....	17
2.1.3.6. Użycie i konfigurowanie funkcji <i>LPM</i>	18
2.1.3.7. Analiza raportu kompilacji	19
2.1.3.8. Optymalizacja procesu projektowego i działania układu: Tools/Advisors (Power, Resource i Timing Optimization Advisor).....	19
2.1.3.9. Analiza narzędzi wizualizacji interpretacji algorytmu w FPGA: Tools/Netlist Viewers oraz RTL, State Machine i Technology Map Viewer.....	19
2.1.3.10. Analiza narzędzi podglądu zasobów FPGA	20
2.1.3.11. Zajęcia własne	20
2.1.4. Podsumowanie	20
2.2. Język opisu sprzętu VHDL	21
2.2.1. Cel ćwiczenia	21
2.2.2. Wprowadzenie.....	21
2.2.3. Przebieg ćwiczenia.....	21
2.2.3.1. Utworzenie jednostek VHDL w programie QUARTUS II.....	21
2.2.3.2. Zawartość pliku VHDL.....	23
2.2.3.3. Definicja multipleksera	24
2.2.3.4. Zadanie do samodzielnego rozwiązania	24

2.2.3.5.	Mapowanie portów I/O jednostki VHDL	25
2.2.3.6.	Zadanie: wykonać multiplexer pięć wejść do jednego wyjścia	26
2.2.3.7.	Zadanie do wykonania	27
2.3.	Sterowanie wyświetlaczem LED w języku VHDL	28
2.3.1.	Cel ćwiczenia	28
2.3.2.	Wprowadzenie.....	28
2.3.3.	Przebieg ćwiczenia.....	28
2.3.3.1.	Wykonanie dekodera binarnego dla wyświetlacza LED	28
2.3.3.2.	Funkcje narzędzia Assignment Editor dla portów I/O oraz programowania układu FPGA.....	29
2.3.3.3.	Zadanie do wykonania	30
2.3.3.4.	Podsumowanie	32
2.4.	Realizacja algorytmów sekwencyjnych przy użyciu edytora grafów stanów maszynowych w Quartus II	33
2.4.1.	Cel ćwiczenia	33
2.4.2.	Wprowadzenie.....	33
2.4.3.	Przebieg ćwiczenia.....	33
2.4.3.1.	Graficzna realizacja algorytmu sekwencyjnego w edytorze grafów stanów maszynowych pakietu Quartus II.....	33
2.4.3.2.	Generowanie kodu VHLD na podstawie graficznego projektu algorytmu	37
2.4.3.3.	Weryfikacja symulacyjna działania realizowanego algorytmu	38
2.5.	Debugowanie i kontrola projektu FPGA w programie Quartus II	40
2.5.1.	Cel ćwiczenia	40
2.5.2.	Wprowadzenie.....	40
2.5.3.	Przebieg ćwiczenia.....	41
2.5.3.1.	Programowanie układu FPGA w pakiecie Quartus II	41
2.5.3.2.	Debugowanie układu FPGA Altera z użyciem narzędzia SignalTap II Logic Analyzer.....	42
2.5.3.3.	Konfigurowanie wyzwalania podstawowego	45
2.5.3.4.	Wyzwalanie wielopoziomowe.	45
2.5.3.5.	Edycja zaawansowanych funkcji wyzwalania.....	45
2.5.3.6.	Debugowanie układu FPGA Altera z wykorzystaniem narzędzia In-System Memory Content Editor	46
2.5.3.7.	Funkcja <i>Simulation Debug</i> dla edytora przebiegów symulacyjnych w Quartus II.....	46
2.6.	Realizacja algorytmów sekwencyjnych z wykorzystaniem języka VHDL.....	48
2.6.1.	Cel ćwiczenia	48
2.6.2.	Wprowadzenie.....	48
2.6.2.1.	Składnia <i>process</i> i kodowanie działania układu	48
2.6.2.2.	Zmienne i sygnały.....	49

2.6.2.3. Biblioteki, funkcje arytmetyczne i funkcje konwersji typów w VHDL.....	50
2.6.3. Przebieg ćwiczenia.....	51
2.6.3.1. Utworzenie projektu, ustawienie parametrów syntezy i kompilacji oraz utworzenie pliku edycji graficznej	51
2.6.3.2. Realizacja przerzutnika typu D w języku VHDL.....	51
2.6.3.3. Realizacja licznika (z komparacją) w języku VHDL	52
2.6.3.4. Zmienne i sygnały	52
2.6.3.5. Przykład problemów syntezy wyrażeń warunkowych	53
2.7. Implementacja generatora PWM w układach cyfrowych.....	55
2.7.1. Cel ćwiczenia	55
2.7.2. Wprowadzenie.....	55
2.7.3. Przebieg ćwiczenia.....	57
2.8. Język opisu sprzętu VHDL. Sterowanie przekształtników energoelektronicznych DC-DC.....	62
2.8.1. Wprowadzenie – jednofazowy przekształtnik DC-DC.....	62
2.8.2. Zadanie do wykonania	63
2.8.3. Dwupulsowy przekształtnik DC-DC	64
2.8.4. Zadanie do wykonania	65
2.9. Język opisu sprzętu VHDL. Sterowanie impulsowego prostownika jednofazowego o podwyższonym współczynniku mocy.....	67
2.9.1. Cel ćwiczenia	67
2.9.2. Wprowadzenie – jednofazowy prostownik o podwyższonym współczynniku mocy, podnoszący napięcie	67
2.9.3. Układ regulacji przekształtnika.....	69
2.9.4. Realizacja przekształtnika z zastosowaniem układu FPGA	70
2.9.5. Zadanie do wykonania	72
2.10. Generowanie sygnałów sterujących dla falowników w układach FPGA	73
2.10.1. Cel ćwiczenia	73
2.10.2. Wprowadzenie.....	73
2.11. Realizacja i weryfikacja regulatorów dyskretnych w układach FPGA	77
2.11.1. Cel ćwiczenia	77
2.11.2. Wprowadzenie.....	77
2.11.2.1. System ciągły	77
2.11.2.2. Systemy sterowania dyskretnego.....	78
Próbkowanie sygnału i przekształcenie Z.....	79
2.11.2.3. Dyskretyzacja członu całkującego i różniczkującego	80
2.11.2.4. Cyfrowa realizacja struktury równoległej regulatora PID ..	82
2.11.2.5. Cyfrowa realizacja struktury regulatora PID na podstawie dyskretyzacji równania przyrostu wyjścia regulatora	84
2.11.2.6. Realizacja FPGA regulatora PID	86
2.11.3. Przebieg ćwiczenia.....	86
2.11.3.1. Wybór pola operacyjnego i formatu obliczeniowego.....	87

2.11.3.2.	Realizacja zadawania sygnału wejściowego.....	87
2.11.3.3.	Projekt dyskretnego regulatora PI zrealizowanego w układzie FPGA.....	89
2.11.3.4.	Realizacja cyfrowego modelu obciążenia RL w układzie FPGA.....	90
2.11.3.5.	Analiza zamkniętego układu regulacji w układzie FPGA...	92
2.12.	Podstawy sterowania z wykorzystaniem transformacji sygnałów z systemów trójfazowych do dwuwymiarowych układów współrzędnych $\alpha\beta$ lub dq	94
2.12.1.	Cel ćwiczenia	94
2.12.2.	Wprowadzenie.....	94
2.12.2.1.	Transformacja wielkości fazowych do układu dzwuwymiarowego	94
2.12.2.2.	Wektor opisany w nieruchomym układzie współrzędnych $\alpha\beta$	95
2.12.2.3.	Wektor opisany w wirujących układach współrzędnych (dq).....	96
2.12.3.	Przebieg ćwiczenia.....	98
2.12.3.1.	Przygotowanie sygnałów testowych dla sprawdzenia poprawności przekształceń	98
2.12.3.2.	Wyliczenie przekształceń sygnałów	99
2.13.	Modulacja szerokości impulsów reprezentowanych w stacjonarnym układzie Współrzędnych $\alpha\beta$	100
2.13.1.	Cel ćwiczenia	100
2.13.2.	Wprowadzenie.....	100
2.13.3.	Przebieg ćwiczenia.....	103
2.13.3.1.	Zadanie do wykonania	104
2.14.	Realizacja modelu trójfazowego mostka tyrystorowego w układzie FPGA oraz badanie własności modelu	105
2.14.1.	Cel ćwiczenia	105
2.14.2.	Wprowadzenie – model FPGA trójfazowego prostownika tyrystorowego.....	105
2.14.3.	Komutacja	109
2.14.4.	Przebieg ćwiczenia.....	110
2.15.	Sprzętowa realizacja analizy widmowej w układzie FPGA	112
2.15.1.	Cel ćwiczenia	112
2.15.2.	Wprowadzenie – własności funkcji Walsha dla analizy widmowej....	112
2.15.3.	Przebieg ćwiczenia.....	116
2.15.3.1.	Przygotowanie danych do analizy	116
2.15.3.2.	Realizacja generatora Walsha	117
2.15.3.3.	Wyliczenie współczynników Walsha sygnału	118
2.15.3.4.	Konwersja współczynników Walsha na współczynniki Fouriera	119

2.16.	Implementacja modelu trójkomórkowego przekształtnika energoelektronicznego w układzie FPGA.....	120
2.16.1.	Cel ćwiczenia.....	120
2.16.2.	Wprowadzenie.....	120
2.16.2.1.	Model matematyczny układu przekształtnika wielokomórkowego DC – DC	121
2.16.3.	Przebieg ćwiczenia.....	125
2.16.4.	Zadanie do wykonania	126
2.17.	Weryfikacja algorytmów FPGA dla zamkniętego układu regulacji jednofazowego falownika napięcia zaimplementowanego w systemie fotowoltaicznym dołączonym do sieci elektroenergetycznej.....	127
2.17.1.	Cel ćwiczenia	127
2.17.2.	Wprowadzenie.....	127
2.18.	Implementacja procesorów SOFT CORE w układzie FPGA	132
2.18.1.	Cel ćwiczenia	132
2.18.2.	Wprowadzenie.....	132
2.18.3.	Przebieg ćwiczenia.....	132
2.18.4.	Zadania do wykonania	146
2.19.	Podstawy programowania w języku C w środowisku NIOS II IDE (<i>Integrated Development Environment</i>).....	147
2.19.1.	Cel ćwiczenia	147
2.19.2.	Wprowadzenie.....	147
2.19.3.	Przebieg ćwiczenia.....	147
2.19.4.	Zadania do wykonania	147
2.20.	Obsługa peryferiów procesora NIOS II.....	150
2.20.1.	Cel ćwiczenia	150
2.20.2.	Przebieg ćwiczenia.....	150
2.20.3.	Zadanie do wykonania	152
2.20.4.	Odczyt danych z magistrali układu FPGA	152
2.20.5.	Przerwanie wyzwalane zmianą stanu klawisza – przykładowy program	152
2.20.6.	Przerwanie od timera	155
2.20.7.	Zadania do wykonania	156
3.	Dodatki	157
3.1.	Przypisanie pinów układu FPGA (typu EP2C35F672C6) do elementów zewnętrznych (<i>assignment</i>).....	157
4.	Zakończenie	169
5.	Literatura	170