

Spis treści

Spis skrótów	8
1. Wstęp	11
1.1. Motywacja	11
1.2. Cele, teza pracy i metodologia badań.....	16
1.3. Zawartość rozprawy.....	17
2. Budowa oraz metody projektowania logiki dla układów FPGA	20
2.1. Budowa układów FPGA.....	22
2.2. Projektowanie logiki układów FPGA.....	25
2.3. Etapy projektowania logiki FPGA za pomocą pakietu ISE firmy Xilinx.....	28
3. Implementacja algorytmów kryptograficznych w układach FPGA na przykładzie algorytmu CLEFIA	31
3.1. Implementacja algorytmów kryptograficznych w układach FPGA	33
3.2. Algorytm kryptograficzny CLEFIA	35
3.3. Sprzętowa implementacja algorytmu CLEFIA w układzie FPGA.....	37
3.3.1. Implementacja S-Box S_0	38
3.3.2. Implementacja S-Box S_1	39
3.3.3. Implementacja macierzy rozpraszających M_0 i M_1	39
3.3.4. Implementacja F-funkcji F_0 i F_1	39
3.3.5. Implementacja pojedynczej rundy szyfrowania.....	40
3.3.6. Implementacja generatora podkluczy	41
3.3.7. Implementacja 18 rund szyfrowania	42
3.3.8. Wnioski z implementacji sprzętowej algorytmu CLEFIA.....	43
3.4. Akcelerator kryptograficzny	44
3.4.1. Implementacja na karcie ADM-XP.....	45
3.4.2. Implementacja na karcie RC 100.....	46
3.4.3. Wnioski z budowy akceleratora kryptograficznego.....	47
3.5. Podsumowanie	50

4. Implementacja zaawansowanych metod przetwarzania obrazów w układach FPGA na przykładzie algorytmu PGF	51
4.1. Implementacja operacji przetwarzania obrazu w układach FPGA	53
4.2. Algorytm <i>PGF</i>	57
4.3. Sprzętowa implementacja algorytmu <i>PGF</i> w układzie FPGA	59
4.3.1. Generacja kontekstu	60
4.3.2. Obliczanie odległości	61
4.3.3. Sortowanie odległości	61
4.3.4. Usuwanie zakłóceń impulsowych	62
4.3.5. Równoległe obliczanie wartości a_1 i a_2	63
4.3.6. Równoległe obliczanie wartości s_1 i s_2	64
4.3.7. Obliczanie współczynnika $J(i)$	64
4.3.8. Wyznaczanie <i>peer group</i> i filtracja Gaussa	64
4.3.9. Dodatkowe moduły	64
4.3.10. Użycie zasobów logicznych.....	65
4.4. Ocena jakości sprzętowej implementacji algorytmu <i>PGF</i>	66
4.5. Testowanie modułu na platformie RC 100	71
4.6. Testowanie modułu na platformie Virtex 6.....	71
4.7. Podsumowanie.....	73
5. Implementacja operacji binaryzacji lokalnej jako przykład wykorzystania języka wysokiego poziomu w programowaniu logiki układu FPGA	74
5.1. Binaryzacja lokalna	75
5.2. Język Mitrion-C.....	78
5.3. Sprzętowa implementacja binaryzacji lokalnej w języku Mitrion-C	79
5.3.1. Implementacja toru wizyjnego i operacji LUT	79
5.3.2. Pierwsza wersja operacji binaryzacji lokalnej (BL1)	81
5.3.3. Zmodyfikowana wersja operacji binaryzacji lokalnej (BL2).....	81
5.3.4. Implementacja binaryzacji lokalnej metodą Sauvola.....	82
5.3.5. Stałoprzecinkowa implementacja binaryzacji lokalnej metodą Sauvola	84
5.4. Podsumowanie.....	86
6. Implementacja operacji analizy obrazu na przykładzie zaawansowanej generacji tła i segmentacji obiektów pierwszoplanowej	88
6.1. Implementacja algorytmów analizy obrazów w układach FPGA	89
6.2. Detekcja obiektów pierwszoplanowych na sekwencji wideo z wykorzystaniem generacji tła	92
6.3. Przegląd metod generacji tła.....	93

6.3.1.	Algorytmy nierekurencyjne	94
6.3.2.	Algorytmy rekurencyjne	94
6.4.	Przegląd metod generacji tła zrealizowanych w układach FPGA	95
6.5.	Zaproponowane i zrealizowane metody generacji tła i segmentacji obiektów pierwszo- planowych.....	97
6.5.1.	Wielowariantowa generacja tła z segmentacją na podstawie jasności, koloru i tek- stury.....	98
6.5.1.1	Zaproponowana metoda generacji tła	101
6.5.1.2	Sprzętowa implementacja zaproponowanej metody generacji tła	103
6.5.1.3	Zaproponowana i zrealizowana metoda segmentacji obiektów pierw- szoplanowych	104
6.5.1.4	Sprzętowa implementacja metody segmentacji obiektów	105
6.5.1.5	Integracja generacji tła i segmentacji na platformie FPGA SP 605	107
6.5.1.6	Rezultaty i wnioski	110
6.5.2.	Zmodyfikowana wersja wielowariantowej generacji tła z segmentacją na podsta- wie jasności, koloru i tekstury.....	112
6.5.2.1	Modyfikacje modułu generacji tła	113
6.5.2.2	Szczegółowa analiza precyzji obliczeń	116
6.5.2.3	Zmodyfikowana metoda segmentacji obiektów	119
6.5.2.4	Testy zmodyfikowanej generacji tła i segmentacji obiektów	125
6.5.2.5	Implementacja i testowanie na platformie ML 605	128
6.5.2.6	Porównanie wykonanych implementacji wielowariantowych metod generacji tła i segmentacji obiektów	130
6.5.3.	Zrealizowane jednowariantowe metody generacji tła i segmentacji obiektów	132
6.6.	Podsumowanie	136
7.	Implementacja sprzętowa algorytmów wykorzystywanych w zaawansowanych syste- mach monitoringu wizyjnego.....	139
7.1.	Detekcja naruszenia strefy zabronionej.....	140
7.1.1.	Zaproponowany algorytm i jego implementacja sprzętowa.....	141
7.1.2.	Rezultaty i wnioski.....	142
7.2.	Detekcja głowy i ramion z wykorzystaniem cech LBP klasyfikatora SVM i maski obiektów	143
7.2.1.	Deskryptor LBP	144
7.2.2.	Detekcja obiektów z wykorzystaniem LBP	145
7.2.3.	Proponowany algorytm	148
7.2.3.1	Wykorzystane bazy danych	148
7.2.3.2	Wybór deskryptora	149

7.2.4.	Implementacja sprzętowa proponowanego algorytmu.....	150
7.2.5.	Rezultaty i wnioski.....	152
7.3.	Detekcja sabotażu kamery	153
7.3.1.	Przegląd istniejących metod automatycznego wykrywania sabotażu.....	154
7.3.1.1	Utrata ostrości	155
7.3.1.2	Przykrycie kamery	155
7.3.1.3	Zmiana kadru	155
7.3.1.4	Inne podejścia	156
7.3.2.	Zaproponowana metoda detekcji sabotażu kamery	156
7.3.2.1	Porównywanie histogramów	158
7.3.2.2	Porównywanie krawędzi	159
7.3.2.3	Analiza średniej jasności	161
7.3.2.4	Redukcja liczby fałszywych alarmów	162
7.3.3.	Implementacja sprzętowa detekcji sabotażu systemu wizyjnego	162
7.3.4.	Rezultaty i wnioski.....	164
7.4.	Podsumowanie.....	166
8.	Podsumowanie	167
	Bibliografia	171
	English abstract	189
	Streszczenie	191